



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63079330 A**(43) Date of publication of application: **09 . 04 . 88**

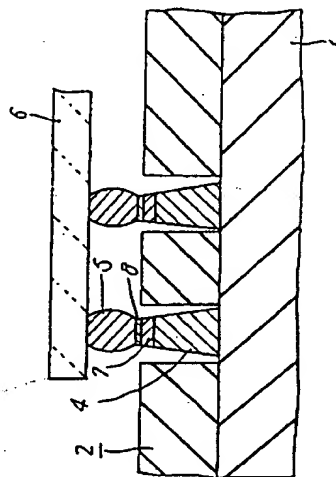
(51) Int. Cl.

H01L 21/52(21) Application number: **61223609**(22) Date of filing: **24 . 09 . 86**(71) Applicant: **HITACHI LTD HITACHI VLSI ENG CORP**(72) Inventor:
**UCHIUMI YASUYUKI
SHIRAI MASAYUKI
OKINAGA TAKAYUKI
SAWARA KUNIZO
OTSUKA KANJI****(54) SEMICONDUCTOR DEVICE****(57) Abstract:**

PURPOSE: To improve the life of a connection part, by arranging, on the surface of a mounting substrate, a metal pillar-shaped body having a melting point higher than a projection electrode, and connecting a semiconductor element having the projection electrode and the metal pillar-shaped body by controlled collapse bonding.

CONSTITUTION: After a film resist 2 is laminated on the surface of a mounting substrate 1, a lot of holes reaching the substrate surface are formed in the resist 2. In the inside of holes of the resist 2, a metal like copper is supplied to form a pillar-shaped body 4, on which and Ni layer 7 and an Au layer 8 are laminated. After that, the resist 2 is eliminated. Solder bump in the form of a semisphere of the projection electrode 5 of a semiconductor element 6 is melted by a solder reflow method, and the element 6 and the substrate 1 are connected by controlled collapse bonding.

COPYRIGHT: (C)1988,JPO&Japio



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-79330

⑫ Int. Cl.⁴
H 01 L 21/52

識別記号

庁内整理番号
D-8728-5F

⑬ 公開 昭和63年(1988)4月9日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭61-223609

⑯ 出 願 昭61(1986)9月24日

⑰ 発 明 者 内 海 康 行 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

⑱ 発 明 者 白 井 優 之 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 出 願 人 日立超エル・エス・アイエンジニアリング株式会社 東京都小平市上水本町1448番地

㉑ 代 理 人 弁理士 小川 勝男 外1名
最終頁に続く

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 突起基板表面に、後述する突起電極よりも高融点の金属より成る柱状体を立設し、該柱状体に、突起電極を有する半導体素子を、コントロールドコラップボンディング方式により接合して成ることを特徴とする半導体装置。

2. 柱状体が、突起基板表面にフィルムレジストを被覆し、当該基板表面にまで到達する多数の穴を穿設し、当該各穴内部に高融点金属を溶着またはメッキ後、前記フィルムレジストを除去することにより得られた、特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に関し、特に、当該装置を構成する半導体素子と突起基板とを接合しているコントロールドコラップボンディング(CCB)

接合部の寿命向上技術に関する。

〔従来の技術〕

半導体ベレット(チップ)は多数の外部への接続端子を持っており、これらの端子を何らかの方法で外部のものと接続してはじめてその機能を發揮することができる。

当該接続端子の一形態に、A-B内部配線を形成したプレーナ素子の表面をSiO₂保護膜により被覆し、電極用窓を明け、Cr-Cu-Auよりなる電極下地を形成後、Sn-Pbを用いて半球状の bumps (突起電極) を形成してなるものがある。

かかる電極構造を有するフリップチップは、コントロールド・コラップス・リフローチップと称され、当該 bumps により、セルフアラインの配線基板(突起基板)に接合する技術はコントロールド・コラップス・ボンディング(CCB)方式と称される。

この接合の一例は、当該基板側に予備ハンダを施しておき、上記 bumps を有するフリップチップを載置し、当該ハンダを溶融させて接合す

ることにより行われる。

かかるCCB接合が、例えばセラミック基板に、シリコンチップを接合するように、これら基板とチップとの熱膨張係数が異なるような場合には、かかる熱膨張係数差に基づく応力が当該接合部にかかり、当該接合部を破断に至らしめたりする。

なお、コントロールド・コラプス・ボンディング方式について述べた文献の例としては、1980年1月15日(特)工業調査会発行「IC化実務技術」P79～81があげられる。

〔発明が解決しようとする問題点〕

本発明は熱膨張係数差に基づく応力を容易に吸収でき、CCB接合部の破断を防止して、CCB接合寿命の向上を図ることのできる技術を提供することを目的とする。

本発明の明記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

〔問題点を解決するための手段〕

本発明において開示される発明のうち代表的なも

表面にまで到達する多数の穴(3)を形成する。

これら穴(3)の内部に、金属を、蒸着またはメッキにより充填する。

次いで、フィルムレジスト(2)をエッチング除去する。エッチングに先立ち、当該金属の上面に、Ni層を蒸着やメッキ技術などにより被覆し、さらに、Au層を同様に被覆する。

第4図に示すように、当該レジスト(2)除去後は、前記金属より成る柱状体(4)が形成される。

このように、金属柱状体(4)を表面に有する実装基板(1)に、突起電極(5)を有する半導体素子(6)を、コントロールドコラプスボンディング方式により接合する。

第1図に示すように、実装基板(1)の表面に立設された金属柱状体(4)の上面には、Ni層(7)およびAu層(8)が形成されており、該Au層(8)上に、半田半田(図示せず)を施しておき、突起電極(5)の半球状の半田パンプを、ハンダリフロー法により、溶融させ、接合させる。

なお、第1図では、除去前のフィルムレジスト

のの概要を簡単に説明すれば、下記のとおりである。

本発明では、基板上に、Cuなどの金属より成る柱状体を立設し、該柱状体の上に、半田パンプを有するフリップチップの当該パンプを溶融させて、コントロールドコラプスボンディングを行なう。当該柱状体は当該半田パンプよりも高い融点を有する金属により構成する。

〔作用〕

このように、柱状体を介在させて、パンプを接合するので、基板とチップとの間の距離が大となる。CCB接合部に加わる応力は、当該接合高さに反比例して小さくなるので、CCB接合寿命を向上させることができる。

〔実施例〕

次に、本発明を、図面に示す実施例に基づいて説明する。

第2図に示すように、実装基板(1)表面に、フィルムレジスト(2)を積層する。次いで、第3図に示すように、該フィルムレジスト(2)に、実装基板(1)

(2)を発明の理解を助けるために併記してある。

実装基板(1)は、例えばセラミック基板により構成される。

フィルムレジスト(2)は、ドライフィルム(膜)状のもので、例えば、溶液型フォトリソ材料をポリエチレンテトラフルレート膜またはセルローズアセテート膜等の支持体の上に均一に塗布して乾燥したものが例示される。

金属柱状体(4)を構成する金属(合金を含む)は、例えばCuが例示され、該金属は、第1図に示すような接合形態から、突起電極(半田)よりも融点が高いことが必要である。すなわち、該金属柱状体(4)は、半導体素子(6)の実装基板(1)への接合に役し、溶融されない。

半導体素子(チップ)6は、例えばシリコン単結晶基板から取り、周知の技術によってこのチップ内には多数の回路素子が形成され、1つの回路機能を与えられている。回路素子の具体例は、例えばMOSトランジスタから成り、これらの回路素子によって、例えば論理回路およびメモリの回

路機能が形成されている。

突起電極(5)は、前述のごとく、例えばA多内部電極配線を形成した上記素子の表面をSiO₂保護膜により保護し、電極用窓をあけ、Cr-Cu-Auよりなる電極下地を形成し、半田を用いて半球状のバンプを形成してなるものが例示される。

図5図に本発明を適用した半導体装置の一例構成断面図を示す。

突起基板(1)の表面には、金属柱状体(4)を介して、CCB接続により、半導体素子(6)を接合する。

突起基板(1)の裏面からは、多数のリードピン(9)が垂直方向に出ている。

該リードピン(9)は、突起基板(1)内の内部配線10により、金属柱状体(4)と電気的に接続されており、半導体素子(6)の内部配線は当該リードピン(9)により外部に引き出しされる。

突起基板(1)上には、ポッティング剤(11)を接合剤12により、塗布する。

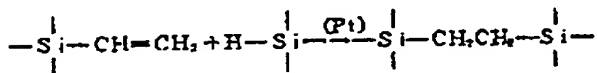
当該ポッティング剤(11)により区画された領域内

Cat: Sn-Ti系触媒

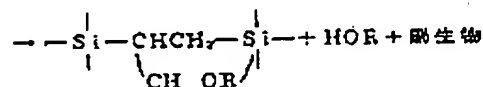
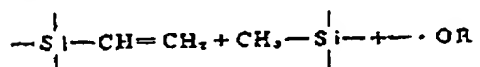
R: 例えば

アルキル基(以下同じ)

付加型



紫外線硬化型



硬化物を得るに、加熱(ベーク)するとゴム化が進む。

本発明に使用されるシリコン系ゲルはシリコンゴムやシリコンオイルと異なり架橋密度の低いものである。

例えば架橋密度の大小からみるとゴムが架橋密度が一番大で、その下がゲル、さらに、その下がオイルということになる。

にシリコンゲル(3)をポッティングし、半導体素子(6)の封止を行なう。

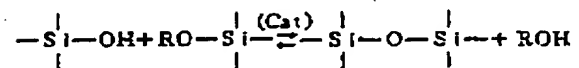
本発明に使用されるシリコン(系)ゲル13としては、従来エレクトロニクスあるいはオプティカルファイバー用シリコンコーディング剤として市販されていたものを使用でき、例えばシリコンゲルはICメモリのソフトエラー対策用として用いられていた。

本発明はこれを封止材料として使用せんとするものである。

ゲルは、その加硬化剤はリキッド状態であり、1液タイプ、2液タイプがあり、例えば主剤と硬化剤とからなる2液タイプの場合、これらを混合すると反応硬化(架橋反応)し、硬化物を得る。

硬化システムとしては次の反応式で示す様に、融合型、付加型、紫外線硬化型がある。

融合型



架橋密度は一般に針入度計を用いて測定され、針入度計についてはJISK2808に規定され、それに使用される針についてはASTMD1321に規格がある。

針入度からみて、一般に、ゲルは40~200mmの範囲、オイルは200mm以上であり、ゲルの硬化反応の促進によりゴム化が起こり、ゴムと称されているものは一般に針入度40mm以下である。

本発明に使用されるシリコン系ゲルには前記の如く、市販のものが使用され、例えば信越化学工業社製KJR9010、X-35-100、東レシリコン社製JCR6110などが使用できる。

上記X-35-100〔A(主剤)、B(硬化剤)2液タイプ、針入度100〕の硬化反応機構は白食付加型で、2液低粘度高粘度ゲルで-75~250℃の温度範囲で使用できる。

当該ゲル13は柔軟であり半導体素子(6)を機械的に保護するために、ポッティング剤11上に、キャップ14を接合剤12により取付けする。

キャップ14やポッティング剤11は、例えばセラ

ミック材料により構成される。

第6図は本発明の他の実施例を示す半導体装置の一例構成断面図で、この装置は、Si on Si方式によるマルチチップモジュールで、マザーチップ08表面に、金属柱状体(4)を形成し、半導体素子(6)をその突起電極(5)により、マルチに接合する。

マザーチップ08は、例えばシリコンウェハに配線施したもので、該シリコンマザーチップ08に、シリコン半導体素子(6)をマルチに接合する形式で、したがって、Si on Si方式によるマルチチップモジュールと称される。

当該マザーチップ08の一方の面は、パッケージベース07に接合される。

パッケージベース07は、例えばSiC基板により構成される。

該ベース07とボッティング枠01との間にリードフレーム08を挟持させる。

マザーチップ08と該リードフレーム08とをボンディングワイヤ09により、ワイヤボンディングする。

数に大きな差異がある場合に有効であるが、その他、適量とチップとをCCB接続する場合にも効果がある。従って、CCB接続を要する場合に広く適用できる。

〔発明の効果〕

本発明において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明によればCCB接続寿命を向上させ、高信頼性の半導体装置を提供することができた。

4. 図面の簡単な説明

第1図は本発明の実施例を示す要部断面図、

第2図～第4図はそれぞれ本発明の実施例工程の説明図、

第5図は本発明の実施例を示す半導体装置の構成断面図、

第6図は本発明の他の実施例を示す半導体装置の構成断面図である。

1…実装基板、2…フィルムレジスト、3…穴、4…金属柱状体、5…突起電極、6…半導体素子、

ボンディングワイヤ09は、例えばAu線より成る。

当該モジュールにおいても、前記実施例と同様に、シリコンゲル3により封止を行なう。

パッケージベース07には、放熱用フィン02を取付けする。

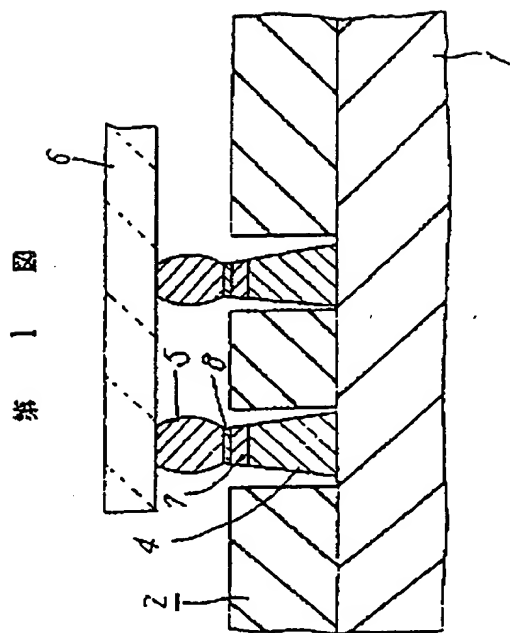
本発明によれば、実装基板(1)、08に金属柱状体(4)を立設し、該柱状体(4)に、半導体素子(6)をその突起電極(5)により、CCB接続する形式をとったので、実装基板(1)、08と半導体素子(6)との間の距離が長くなり、パンプ(5)接合部に加わる応力はこれら距離に反比例して小さくなるので、応力を低減、吸取でき、したがって、CCB接続寿命を向上させることに成功した。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

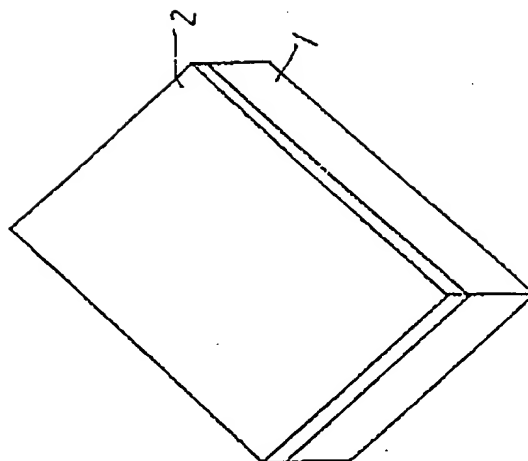
本発明は、実装基板とチップとの間の熱膨張係

7…Ni層、8…Au層、9…リードピン、10…内部配線、11…ボッティング枠、12…塗布剤、13…シリコンゲル、14…キャップ、15…接合剤、16…マザーチップ、17…パッケージベース、18…リードフレーム、19…ボンディングワイヤ、20…放熱用フィン

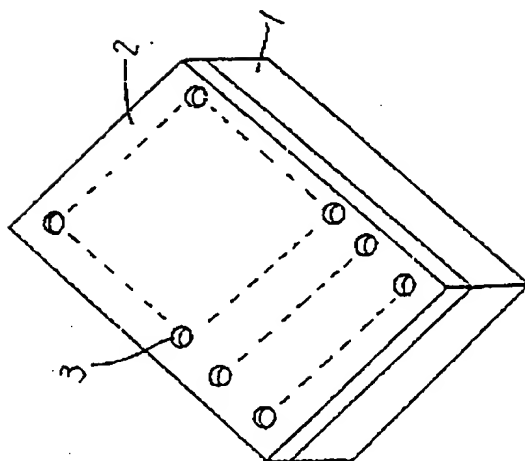
代理人 弁理士 小 川 勝 男



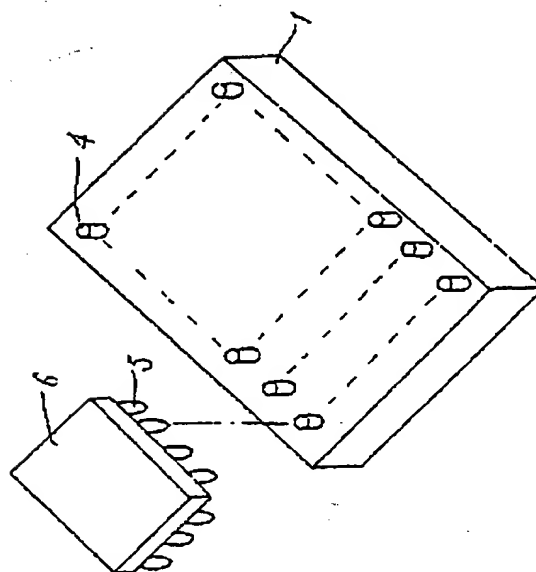
第 2 図



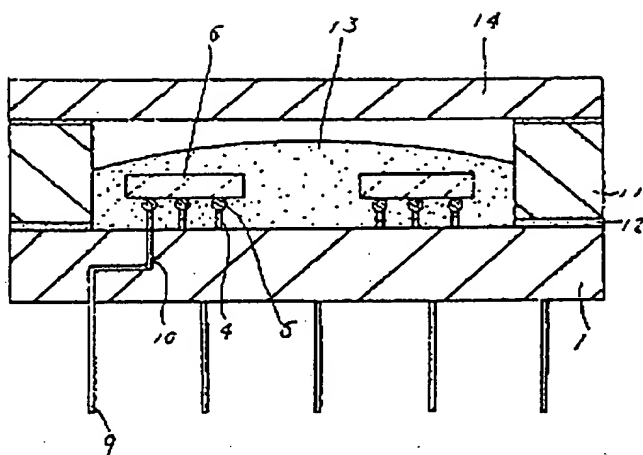
第 3 図



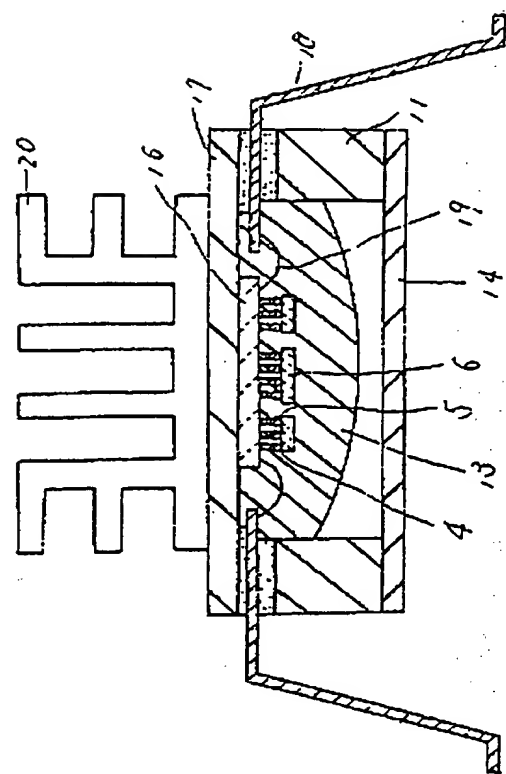
第 4 図



第 5 図



第 6 図



第1頁の続き

②発明者	沖 永 隆 幸	東京都小平市上水本町1448番地 日立超エル・エス・アイ エンジニアリング株式会社内
③発明者	佐 原 邦 造	東京都青森市今井2326番地 株式会社日立製作所デバイス 開発センタ内
④発明者	大 塚 寛 治	東京都青森市今井2326番地 株式会社日立製作所デバイス 開発センタ内